

Rec'd PCT/PTO 13 JAN 2005

PCT/JP 03/09924

05.08.03

REC'D 19 SEP 2003

WIPO PCT

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月 6日  
Date of Application:

出願番号 特願2002-229158  
Application Number:  
[ST. 10/C]: [JP 2002-229158]

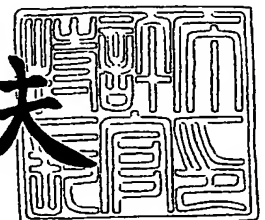
出願人 ソニー株式会社  
Applicant(s):

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 9月 4日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

出証番号 出証特2003-307228

【書類名】 特許願

【整理番号】 0290298902

【提出日】 平成14年 8月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 11/105 586

【発明者】

【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 134 ソニー L S I  
デザイン株式会社内

【氏名】 加野 靖紀

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 安藤 国威

【連絡先】 知的財産センター 03-5448-2137

【手数料の表示】

【予納台帳番号】 005094

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ディスク再生装置とディスク再生方法

【特許請求の範囲】

【請求項 1】 ディスクに記録されたデータを読み出して再生データを生成するディスク再生装置であって、

前記データに含まれる所定の同期パターンを検出すると共に、検出タイミングを識別する検出手段と、

前記検出手段により識別された前記検出タイミングに応じて、前記ディスクから読み出された前記データの中から順次選択的に一部のデータを抽出する選択手段と、

前記選択手段により抽出された複数のデータを合成して合成データを生成する合成手段と、

前記合成データを対応する復調データに置換することにより前記再生データを生成する置換手段とを備えたことを特徴とするディスク再生装置。

【請求項 2】 前記検出手段は、連続する複数のサイクルにおいて読み出された前記データの配列から前記同期パターンを検出すると共に、前記配列に含まれる前記同期パターンの位置に応じて前記検出タイミングを識別する請求項 1 に記載のディスク再生装置。

【請求項 3】 前記選択手段は、

前記検出タイミングに応じた初期値を格納する初期値格納手段と、

前記初期値格納手段から前記検出タイミングに応じた初期値をロードし、前記初期値より内部クロック信号のクロック数をカウントする計数手段とを含み、

前記選択手段は、前記計数手段におけるカウント値に応じて、前記ディスクから読み出された前記データの中から順次選択的に一部のデータを抽出する請求項 1 に記載のディスク再生装置。

【請求項 4】 前記合成手段は、第 1 及び第 2 のデータ保持手段を含み、

前記カウント値が偶数のとき前記第 1 及び第 2 のデータ保持手段はそれぞれ前記選択手段により抽出されたデータを保持し、前記カウント値が奇数のとき前記第 2 のデータ保持手段に保持されているデータを前記第 1 のデータ保持手段へ移

すことにより、前記合成データを生成する請求項 3 に記載のディスク再生装置。

【請求項 5】 ディスクに記録されたデータを読み出して再生データを生成するディスク再生方法であって、

前記データに含まれる所定の同期パターンを検出すると共に、検出タイミングを識別する検出ステップと、

識別された前記検出タイミングに応じて、前記ディスクから読み出された前記データの中から順次選択的に一部のデータを抽出する選択ステップと、

前記選択ステップにおいて抽出された複数のデータを合成して合成データを生成する合成ステップと、

前記合成データに対応する復調データに置換することにより前記再生データを生成する置換ステップとを有することを特徴とするディスク再生方法。

【請求項 6】 前記検出ステップでは、連続する複数のサイクルにおいて読み出された前記データの配列から前記同期パターンを検出すると共に、前記配列に含まれる前記同期パターンの位置に応じて前記検出タイミングを識別する請求項 5 に記載のディスク再生方法。

【請求項 7】 前記選択ステップでは、前記検出タイミングに応じた初期値より内部クロック信号のクロック数をカウントすることにより得られるカウント値に応じて、前記ディスクから読み出された前記データの中から順次選択的に一部のデータを抽出する請求項 5 に記載のディスク再生方法。

【請求項 8】 前記合成ステップでは、前記カウント値が偶数のとき第 1 及び第 2 のデータ保持手段にそれぞれ前記選択ステップにおいて抽出されたデータを保持させ、前記カウント値が奇数のとき前記第 2 のデータ保持手段に保持されているデータを前記第 1 のデータ保持手段へ移すことにより、前記合成データを生成する請求項 7 に記載のディスク再生方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ディスクに記録されたデータを再生するディスク再生装置とディスク再生方法に関するものである。

## 【0002】

## 【従来の技術】

一般的に、ディスク再生時には、ディスクからの反射光を検出するピックアップによって該ディスクに記録されたデータが読み出される。そして、ピックアップにより読み出されたデータは、PLL (Phase-Locked Loop) 回路により該データに同期されたクロック信号 (以下、「チャネルクロック」とも呼ぶ) によって再生装置に取り込まれる。

## 【0003】

ここで、取り込まれた該データはEFM (Eight-Fourteen Modulation) 変調が施されたシリアルデータであるため、該再生装置においては該データがEFM復調回路により復調される。このとき、従来の再生装置では、上記シリアルデータに同期したチャネルクロックにより、該EFM復調回路の動作周波数が決められていた。

## 【0004】

従って、ディスクを高倍速再生する場合などにおいては、高い周波数を持ったチャネルクロックを用いることによって、該動作周波数を高めることが必要とされる。

## 【0005】

## 【発明が解決しようとする課題】

しかしながら、上記動作周波数が高くなると、EFM復調回路以外の回路に生じるノイズが大きくなると共に、該ディスク再生装置の消費電力も大きくなるという問題がある。

## 【0006】

また、高い該動作周波数を保証することが必要とされる該ディスク再生装置に対しては、高い周波数を持ったクロック信号による動作試験が必要とされるが、テストによる該動作試験は困難であるという問題もある。

## 【0007】

本発明は上記のような問題を解消するためになされたもので、復調動作をより低い動作周波数において実現し得るディスク再生装置及びディスク再生方法を提

供することを目的とする。

#### 【0008】

##### 【課題を解決するための手段】

本発明の目的は、ディスクに記録されたデータを読み出して再生データを生成するディスク再生装置であって、データに含まれる所定の同期パターンを検出すると共に、検出タイミングを識別する検出手段と、検出手段により識別された検出タイミングに応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出する選択手段と、選択手段により抽出された複数のデータを合成して合成データを生成する合成手段と、合成データを対応する復調データに置換することにより再生データを生成する置換手段とを備えたことを特徴とするディスク再生装置を提供することにより達成される。

#### 【0009】

このような手段によれば、選択手段が同期パターンの検出タイミングに応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出し、合成手段が該抽出された複数のデータを合成し、置換手段が該合成データを復調データに置換することによって、該復調が該合成データを単位として一括して実行されるため、該復調において必要とされる動作周波数を低減することができる。

#### 【0010】

ここで、より具体的には、検出手段は連続する複数のサイクルにおいて読み出されたデータの配列から同期パターンを検出すると共に、該配列に含まれる同期パターンの位置に応じて検出タイミングを識別し、選択手段は検出タイミングに応じた初期値より内部クロック信号のクロック数をカウントする計数手段を含み、計数手段におけるカウント値に応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出するものとすることができる。

#### 【0011】

さらに、合成手段は第1及び第2のデータ保持手段を含み、カウント値が偶数のとき第1及び第2のデータ保持手段はそれぞれ選択手段により抽出されたデータを保持し、カウント値が奇数のとき第2のデータ保持手段に保持されているデ

ータを第1のデータ保持手段へ移すことにより、合成データを生成するものとすることができる。

#### 【0012】

また、本発明の目的は、ディスクに記録されたデータを読み出して再生データを生成するディスク再生方法であって、データに含まれる所定の同期パターンを検出すると共に、検出タイミングを識別する検出ステップと、識別された検出タイミングに応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出する選択ステップと、選択ステップにおいて抽出された複数のデータを合成して合成データを生成する合成ステップと、合成データを対応する復調データに置換することにより再生データを生成する置換ステップとを有することを特徴とするディスク再生方法を提供することにより達成される。

#### 【0013】

このような手段によれば、ディスクに記録されたデータについて、上記合成データを単位として一括して復調することができるため、該復調において必要とされる動作周波数を低減することができる。

#### 【0014】

ここで、より具体的には、上記検出ステップでは、連続する複数のサイクルにおいて読み出されたデータの配列から同期パターンを検出すると共に、配列に含まれる同期パターンの位置に応じて検出タイミングを識別し、上記選択ステップでは、検出タイミングに応じた初期値より内部クロック信号のクロック数をカウントすることにより得られるカウント値に応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出し、上記合成ステップでは、カウント値が偶数のとき第1及び第2のデータ保持手段にそれぞれ選択ステップにおいて抽出されたデータを保持させ、カウント値が奇数のとき第2のデータ保持手段に保持されているデータを第1のデータ保持手段へ移すことにより、合成データを生成するようにすることができる。

#### 【0015】

#### 【発明の実施の形態】

以下において、本発明の実施の形態を図面を参照しつつ詳しく説明する。なお

、図中同一符号は同一または相当部分を示す。

#### 【0016】

図1は、本発明の実施の形態に係るディスク再生装置の構成を示すブロック図である。図1に示されるように、本実施の形態に係るディスク再生装置3は装着されたディスク1に記録されたデータを再生する装置であって、アシンメトリ補正部5とPLL回路7、シリ・パラ変換回路9、EFM (Eight-Fourteen Modulation) 復調部11、制御部13、メモリIF回路15、及びメモリ17を備える。

#### 【0017】

ここで、アシンメトリ補正部5はディスク1から読み出された信号を受領し、PLL回路7及びシリ・パラ変換回路9はアシンメトリ補正部5に接続される。また、シリ・パラ変換回路9はPLL回路7にも接続され、EFM (Eight-Fourteen Modulation) 復調部11はシリ・パラ変換回路9に接続される。そして、制御部13及びメモリIF回路15はEFM復調部11に接続され、メモリ17はメモリIF回路15に接続される。

#### 【0018】

このような構成を有するディスク再生装置3は、チャネルクロックを8分周したクロック信号PCK8を動作クロックとして、CD (Compact Disc) 等のディスク1から読み出されたデータをEFM復調するものであるが、以下に動作の概要を説明する。

#### 【0019】

アシンメトリ補正部5はディスク1から読み出された信号に対して直流成分をカットすることによってEFM変調されたデジタル信号S<sub>E</sub>を生成し、PLL回路7及びシリ・パラ変換回路9へ供給する。PLL回路7は供給されたデジタル信号S<sub>E</sub>に同期するチャネルクロックPCKを生成し、シリ・パラ変換回路9へ供給する。

#### 【0020】

また、シリ・パラ変換回路9は供給されたシリアルなデジタル信号S<sub>E</sub>をEFM変調された8ビットの平行信号S<sub>E8</sub>へ変換すると共に、供給されたチャ



ネルクロック PCK を 8 分周することによりクロック信号 PCK 8 を生成する。

### 【0021】

ここで、上記パラレル信号 S<sub>E</sub> 8 は EFM 変調された原 EFM 信号を NRZ (Non Return to Zero) 変換した後のデータとされ、一例が表 1 に示される。

### 【0022】

【表 1】

原 EFM 信号	<u>0</u> <u>1</u> <u>1</u> <u>1</u> <u>1</u> <u>0</u> <u>0</u> <u>0</u> <u>0</u> <u>1</u> <u>1</u> <u>1</u> <u>0</u> <u>0</u> <u>1</u> <u>1</u> <u>1</u> <u>1</u> <u>1</u> <u>1</u> <u>1</u> <u>1</u> <u>0</u> <u>0</u>
変換後	0 <u>1</u> <u>0</u> <u>0</u> <u>0</u> <u>1</u> <u>0</u> <u>0</u> <u>0</u> <u>1</u> <u>0</u> <u>0</u> <u>1</u> <u>0</u> <u>0</u> <u>1</u> <u>0</u> <u>0</u> <u>0</u> <u>0</u> <u>0</u> <u>0</u> <u>0</u> <u>1</u> <u>0</u>

### 【0023】

上記表 1 に示されるように、NRZ 変換後のデータは原 EFM 信号の変化点 (下線部) に対応するビットのみが「1」(下線部) とされる。なお、このようにして得られた NRZ 変換後のデータは 8 ビットシフトレジスタの最上位ビットへ順次入力されると共に、所定のタイミングにおいて該データが上位ビットから下位ビットにシフトされ、8 ビット揃った時点で同時出力されることにより上記パラレル信号 S<sub>E</sub> 8 が生成出力される。

### 【0024】

そして、EFM 復調部 11 はシリ・パラ変換回路 9 から供給されたクロック信号 PCK 8 を動作クロックとして、同じくシリ・パラ変換回路 9 から供給されたパラレル信号 S<sub>E</sub> 8 を EFM 復調する。なお、この EFM 復調部 11 の構成及び動作については後に詳しく説明する。

### 【0025】

また、EFM 復調部 11 において復調されたデータは、メモリ IF 回路 15 を介してエラー訂正用のメモリ 17 へ格納される。一方、EFM 復調部 11 は、後述するように該復調の過程でサブコード同期信号が検出されたことを示すスコア信号 S<sub>C</sub>、及びエラーチェック後に得られたサブ Q コード S<sub>q</sub> を制御部 13 へ供

給する。これより、制御部 13 は供給されるサブ Q コード  $S_q$  に基づいて、ディスク 1 に記録された絶対時間情報を得ることができる。

#### 【0026】

図 2 は、図 1 に示された EFM 復調部 11 の構成を示すブロック図である。図 2 に示されるように、EFM 復調部 11 は同期検出回路 21 と EFM 復調回路 23、及びサブコード読み出し回路 25 とを含む。

#### 【0027】

ここで、同期検出回路 21 はシリ・パラ変換回路 9 に接続され、EFM 復調回路 23 はシリ・パラ変換回路 9 及び同期検出回路 21 に接続される。また、サブコード読み出し回路 25 は EFM 復調回路 23 に接続される。なお、メモリ IF 回路 15 は EFM 復調回路 23 及びサブコード読み出し回路 25 に接続され、制御部 13 はサブコード読み出し回路 25 に接続される。

#### 【0028】

以下において、上記のような構成を有する EFM 復調部 11 の動作の概要を説明する。まず、同期検出回路 21 は供給されたパラレル信号  $S_E8$  に含まれる同期パターンを検出する。そして、該同期パターンが検出された場合には、次に検出が予測される同期パターンを特定する。さらに、該予測された同期パターンと実際に検出された同期パターンとを比較し、一致するか否かを判定する。

#### 【0029】

なお、同期検出回路 21 は予期しないタイミングにおいて誤った同期パターンを検出しないようにするため、検出期間を所定のタイミングに限定するための同期保護ウィンドウを内部生成すると共に、上記所定のタイミングにおいて該同期パターンが検出できない場合には、自己生成した同期信号を利用することによって同期を維持する。

#### 【0030】

EFM 復調回路 23 は、シリ・パラ変換回路 9 から供給されたパラレル信号  $S_E8$  を EFM 復調する。なお、このようにして復調された信号はメモリ IF 回路 15 へ供給されると共に、サブコード読み出し回路 25 へ供給される。

#### 【0031】

サブコード読み出し回路 25 は供給された復調後の信号に含まれるサブコードの中から同期信号を検出すると共に、該信号から後述するサブQコードを抜き出し、該サブQコードについてエラーの有無をチェックする。そして、サブコード読み出し回路 25 は該サブQコードを制御部 13 へ供給する。

#### 【0032】

以下において、図 2 に示された EFM 復調部 11 を構成する各回路について詳しく説明する。図 3 は、図 2 に示された同期検出回路 21 の構成を示すブロック図である。図 3 に示されるように、同期検出回路 21 は同期パターン検出部 27 と同期パターン予測部 29、同期判断部 30、及び同期保護ウィンドウ部 35 を含む。そして、同期判断部 30 は同期カウンタ 31 と AND 回路 32、34 及び比較部 33 を含む。

#### 【0033】

ここで、同期パターン検出部 27 はシリ・パラ変換回路 9 に接続され、同期パターン予測部 29 は同期パターン検出部 27 に接続される。また、同期カウンタ 31 は同期パターン検出部 27 に接続され、AND 回路 32 は同期パターン検出部 27 及び同期カウンタ 31 に接続される。また、比較部 33 は同期パターン検出部 27 及び同期パターン予測部 29 に接続され、AND 回路 34 は AND 回路 32 と比較部 33 に接続される。そして、同期保護ウィンドウ部 35 は比較部 33 と AND 回路 34 と同期カウンタ 31 に接続される。

#### 【0034】

次に、上記のような構成を有する同期検出回路 21 の動作を詳しく説明する。

#### 【0035】

まず、同期パターン検出部 27 は供給されたパラレル信号 S<sub>E</sub>8 の中に含まれる同期パターンを検出するが、ここでは検出すべき同期パターン（フレーム同期信号）は NRZ 変換後のデータとして（10000000000100000000001）であり、該同期パターンを 8 ビット単位で 4 サイクルかけて検出する場合を例として説明する。

#### 【0036】

このとき、4 サイクル目に上記同期パターンの検出が完結する場合としては、

以下の表 2 に示されるように 8 通りが考えられる。

【0037】

【表 2】

ケース 番号	1サイクル目 b8 b7 b6 b5 b4 b3 b2 b1	2サイクル目 b8 b7 b6 b5 b4 b3 b2 b1	3サイクル目 b8 b7 b6 b5 b4 b3 b2 b1	4サイクル目 b8 b7 b6 b5 b4 b3 b2 b1	Nsd
0	000001xx	00100000	00000000	xxxxxx1	01h
1	00001xxx	01000000	00000000	xxxxxx10	02h
2	0001xxxx	10000000	00000000	xxxxx100	04h
3	001xxxxx	00000000	00000001	xxxx1000	08h
4	01xxxxxx	00000000	00000010	xxx10000	10h
5	1xxxxxxx	00000000	00000100	xx100000	20h
6	xxxxxxx	00000001	00001000	x1000000	40h
7	xxxxxxxx	0000001x	00010000	10000000	80h

【0038】

上記表 2 においては、検出されたデータが 1 サイクル目の最上位ビット b 1 から最下位ビット b 8、続けて 2 サイクル目の最上位ビット b 1 から最下位ビット b 8、3 サイクル目の最上位ビット b 1 から最下位ビット b 8、そして 4 サイクル目の最上位ビット b 1 から最下位ビット b 8 へ順次示される。

【0039】

従って、例えば表 2 においてケース番号 0 は、1 サイクル目のビット b 3 から 4 サイクル目の最上位ビット b 1 にかけて上記同期パターンが検出される場合を示している。ここで同期パターン検出部 27 は、ケース番号 0 から 7 の 8 通りのいずれによって同期パターンが検出されたかを識別することにより、同期パターンの検出タイミングを特定していることになる。

【0040】

そして、同期パターン検出部 27 は、上記表 2 の 8 通りのいずれかにより該同期パターンを検出した場合には、クロック信号 PCK 8 の 1 周期間においてハイレベルとなる検出信号 SSb を生成すると共に、表 2 に示されたいずれのケースで該同期パターンが検出されたのかを示すケース識別信号 NSD を生成する。

【0041】

ここで、例えばディスク 1 が CD であるとき、CD に記録されるデータの 1 フ

フレームは588ビットからなるため、 $73.5 (= 588 / 8)$  サイクルで1フレームのデータが処理される。このように1フレームのデータを処理するために必要なサイクル数は自然数ではなく0.5サイクルの端数を有するため、表2に示される二つのケースが交互に繰り返されることにより同期パターンが検出される。

#### 【0042】

すなわち例えば、同期パターンが表2に示されたケース番号2のタイミングで検出された場合には、次フレームにおいてはケース番号6のタイミングで同期パターンが検出される。そして、以降のフレームにおいては、ケース番号2と6による同期パターンの検出が交互に繰り返される。

#### 【0043】

このように、同期パターンは規則性をもって検出されるため、一度同期パターンが検出された場合には、次のフレームにおいていずれのケースで同期パターンが検出されるかを予測することが可能である。ここで、同期パターン予測部29は同期パターン検出部27から供給されたケース識別信号NSDに応じて、次のフレームでいずれのケースにより同期パターンが検出されるのかを予測し、予測されるケースを特定する検出予測信号NNSを生成して比較部33へ供給する。

#### 【0044】

従って、比較部33は供給されたケース識別信号NSDと検出予測信号NNSが一致したとき、すなわち実際に同期パターン検出部27で同期パターンが検出されたケースと同期パターン予測部29で検出が予測されたケースとが一致したときに、活性化されたハイレベルの信号をAND回路34へ供給する。

#### 【0045】

一方、同期カウンタ31は同期パターン検出部27が同期パターンを検出してから、次に同期パターンを検出するまでのサイクル数を計数する。このとき、同期カウンタ31は同期パターン検出部27から供給されるケース識別信号NSDに応じて、以下の表3に示されたカウンタ値を初期設定する。

#### 【0046】

【表 3】

NsD	SNの発生タイミング	カウンタ値
01h	73サイクル後	72
02h	73サイクル後	72
04h	73サイクル後	72
08h	73サイクル後	72
10h	74サイクル後	73
20h	74サイクル後	73
40h	74サイクル後	73
80h	74サイクル後	73

## 【0047】

ここで、例えば同期カウンタ 31 が同期パターン検出部 27 からケース識別信号 NSD として「01h」のデータを受領した場合には、73 サイクル後に次の同期パターンが検出されると予測し、表 3 に示されるようにカウンタ値を 72 に初期設定する。

## 【0048】

そして、同期カウンタ 31 は供給される検出信号 SSb に応じて 1 サイクルの経過に対して 1 の割合で該カウンタ値をデクリメントし、該カウンタ値が 0 となった後の 73 サイクル目に予想される同期パターンの検出タイミングを示すタイミング予想信号 SN を生成して AND 回路 32 へ供給する。

## 【0049】

従って、AND 回路 32 は供給されるタイミング予想信号 SN と検出信号 SSb が同時に活性化されたとき、すなわち同期カウンタ 31 により予想されたタイミングにおいて該同期パターンが検出されたときに、活性化されたハイレベルの信号を AND 回路 34 へ供給する。

## 【0050】

以上より、同期判断部 30 は実際に同期パターン検出部 27 で同期パターンが検出されたケースと同期パターン予測部 29 で検出が予測されたケースとが一致

し、かつ同期カウンタ 31 により予想されたタイミングにおいて該同期パターンが検出されたときに、同期パターンが正常に検出されているものとして AND 回路 34 から同期保護ウィンドウ部 35 へハイレベルの信号 OK を供給する。

#### 【0051】

また、同期保護ウィンドウ部 35 は同期カウンタ 31 を利用して同期パターンの検出タイミングを制限する。ここで、実際には同期パターンは理想的なタイミングとずれたタイミングにおいて検出されることもあるため、該理想タイミングを中心としたある範囲内においてのみ検出可能とされる。

#### 【0052】

具体的には、以下の表 4 に示されるように、同期保護ウィンドウ部 35 は比較部 33 から識別信号 N として供給されるケース識別信号 NSD に応じてマスクデータ MD を生成し、同期パターン検出部 27 へフィードバックする。そして、同期パターン検出部 27 は表 2 に示された 4 サイクル目のパターンと該マスクデータ MD との間で論理積をとった上で、上記検出信号 SSb を生成する。

#### 【0053】

【表 4】

タイミング N	ウィンドウ オープン時	検出期間	ウィンドウ クローズ時	非検出期間
01h	11110000	11111111	00000000	00000000
02h	11100000	11111111	00000001	00000000
04h	11000000	11111111	00000011	00000000
08h	10000000	11111111	00000111	00000000
10h	11111111	11111111	00001111	00000000
20h	11111110	11111111	00011111	00000000
40h	11111100	11111111	00111111	00000000
80h	11111000	11111111	01111111	00000000

#### 【0054】

すなわち例えば、表 4 に示されるように、同期保護ウィンドウ部 35 は比較部 33 から「01h」のケース識別信号 NSD が供給されたとき、検出開始タイミング（ウィンドウオープン時）にマスクデータ MD として「11110000」を同期パターン検出部 27 へ供給する。そして、同期保護ウィンドウ部 35 は同

期パターン検出期間においては「11111111」を、マスクデータMDとして同期パターン検出部27へ供給する。このとき、同期パターン検出部27が理想的な同期パターンを検出した場合にはケース識別信号NSDが「10h」とされるため、同期保護ウィンドウ部35は該ケース識別信号NSDに応じて、検出終了タイミング（ウィンドウクロズ時）に「00001111」をマスクデータMDとして同期パターン検出部27へ供給する。なお、同期保護ウィンドウ部35において、上記検出開始タイミングと検出期間及び検出終了タイミングは、同期カウンタ31から供給されるカウンタ値に応じて判断される。

#### 【0055】

また、上記表4に示されるように、比較部33から供給されるケース識別信号NSDによらず同期パターンの非検出期間においては、同期保護ウィンドウ部35から「00000000」がマスクデータMDとして同期パターン検出部27へ供給される。

#### 【0056】

このように、同期保護ウィンドウ部35においてマスクデータMDを生成し、該マスクデータMDを利用することにより検出期間を制限することによって、正規のタイミング以外における同期パターンの検出を回避することができるため、正常な同期パターンの検出精度を高めることができる。

#### 【0057】

以上のような動作により、同期保護ウィンドウ部35は、識別信号Nを同期パターンが検出されたケースを特定する識別信号Naとして出力すると共に、信号OKを検出信号SSaとして出力する。

#### 【0058】

なお、同期パターン検出部27は上記検出期間（ウィンドウ内）に同期パターンを検出しなかった場合には、検出信号SSb及びケース識別信号NSDをハイレベルに固定する。

#### 【0059】

従って、この場合にはAND回路32からはタイミング予想信号SNが出力され、同期検出回路21において検出信号SSbの替わりにタイミング予想信号S



Nが使用される。一方、このとき比較部33は、識別信号Nとしてケース識別信号NSDの代わりに検出予測信号NNSを同期保護ウィンドウ部35へ供給すると共に、ケース識別信号NSDと検出予測信号NNSが一致しないことによりロウレベルの信号をAND回路34へ供給する。

#### 【0060】

なお、かかる場合においては、同期保護ウィンドウ部35は識別信号Naとして検出予測信号NNSを出力すると共に、検出信号SSaとして同期カウンタ31から供給された信号を出力する。

#### 【0061】

ただし、上記のようないわゆる内挿機能には制限を設け、正常な同期パターンを設定回数以上連続して検出できなかった場合には、同期保護ウィンドウ部35はマスクデータMDを「FFh」に固定することにより上記検出期間の制限を解除して同期を取り直す。

#### 【0062】

ここで、図4の状態遷移図を参照して、同期検出回路21の動作を説明する。まず、リセットやトラックジャンプ後においては同期パターンの検出を待つ同期待ち状態となる。この状態では、同期保護ウィンドウ部35はマスクデータMDを上記のように「FFh」に固定する。

#### 【0063】

そして、この同期待ち状態において同期パターンが検出された場合には、正常な同期パターンが連続的に検出される回数が3回未満である同期後方保護状態へ遷移する。次に、同期後方保護状態において同期パターンが連続的に3回検出された場合には同期が取れているものと判断して同期正常状態に遷移すると共に、正常な同期パターンが検出できなかった場合(NG)には同期待ち状態へ戻る。なお、上記の「3回」は同期保護ウィンドウ部35に予め設定され、可変の設定値とされる。

#### 【0064】

また、同期正常状態において正常な同期パターンが検出できなかった場合には、正常な同期パターンを検出できない回数が例えば連続12回未満とされる同期

前方保護状態に移移する。そして、同期前方保護状態において該ウィンドウ内に同期パターンが検出できた場合には同期正常状態へ戻ると共に、正常な同期パターンを連続して12回検出できなかった場合には同期待ち状態へ戻る。なお、上記の「12回」も同期保護ウィンドウ部35に予め設定され、可変の設定値とされる。

#### 【0065】

次に、図2に示されたEFM復調回路23について詳しく説明する。図5は、EFM復調回路23の構成を示すブロック図である。図5に示されるように、EFM復調回路23はレジスタ部40とシンボルカウンタ41、初期値設定部43、及びデータ置換部51とを備える。そして、レジスタ部40は2段レジスタを構成する第2レジスタ45及び第1レジスタ46と、データ合成部47、データ選択部48、予備レジスタ49、EFMレジスタ50とを含む。

#### 【0066】

ここで、シンボルカウンタ41は同期保護ウィンドウ部35及びシリ・パラ変換回路9に接続され、初期値設定部43は同期保護ウィンドウ部35に接続される。また、シンボルカウンタ41と初期値設定部43は相互接続される。

#### 【0067】

一方、第2レジスタ45はシリ・パラ変換回路9に接続される。第1レジスタ46は第2レジスタ45に接続され、データ合成部47は第1及び第2レジスタ46、45に接続される。また、データ選択部48はデータ合成部47及びシンボルカウンタ41に接続され、予備レジスタ49はシンボルカウンタ41及びデータ選択部48に接続される。EFMレジスタ50はデータ選択部48及び予備レジスタ49に接続され、データ置換部51はEFMレジスタ50及びシンボルカウンタ41に接続される。

#### 【0068】

以下において、上記のような構成を有するEFM復調回路23の動作を説明する。

#### 【0069】

CDに記録されたデータの1フレームは上記のように588ビットからなるが

、そのデータ構成は図6に示される。すなわち、1フレームのデータは先頭に記録された24ビットのフレーム同期信号と、14ビットのサブコード、EFM復調の対象とされる各々14ビットからなる第1から第32のデータ、及び隣接するデータ等の間に挿入される3ビットのDSV (Digital Sum Variation) 信号とを含む。

### 【0070】

ここで、EFM復調回路23は、図6に示された1フレームのデータのうち、サブコード及び第1から第32のデータのみを以下のようにラッチする。まず、シリ・パラ変換回路9から出力されるパラレル信号SE8を16ビット単位でラッチするため、まず第2レジスタ45は前半8ビットのデータをラッチし、ラッチした該8ビットのデータを第1レジスタ46へ転送する。その後、第2レジスタは後半8ビットのデータを新たにラッチする。

### 【0071】

そして、例えばレジスタにより構成されるデータ合成部47は、第1レジスタ46及び第2レジスタ45にラッチされた各々8ビットのデータを合成し、16ビットのデータRを生成してデータ選択部48へ供給する。

### 【0072】

一方、シンボルカウンタ41は同期保護ウィンドウ部35から供給される検出信号SSaに応じて、初期値設定部43から初期値をロードする。このとき、初期値設定部43は同期保護ウィンドウ部35から供給された識別信号Naに応じて、以下の表5に示されるロード値をシンボルカウンタ41に供給する。

### 【0073】

【表5】

Na	01h	02h	04h	08h	10h	20h	40h	80h
ロード値	0h	2h	4h	6h	8h	Ah	Ch	Eh

## 【0074】

これより、シンボルカウンタ 41 は初期値設定部 43 から供給された該ロード値を初期値として設定し、シリ・パラ変換回路 9 から供給されるクロック信号 PCK 8 に応じて該初期値をインクリメントする。

## 【0075】

そして、データ選択部 48 は、図 7 に示されるように、シンボルカウンタ 41 から供給されるカウンタ値が偶数のとき、データ合成部 47 から供給されるデータ R の中から所定のビットを選択的に抽出し、抽出されたデータをそれぞれ予備レジスタ 49 と EFM レジスタ 50 へ供給する。すなわち例えば、カウンタ値が 2 の場合には、データ選択部 48 はデータ R を構成する下位 0 から 2 ビットまでの 3 ビットのデータを選択的に抽出して EFM レジスタ 50 へ供給し、データ R を構成する下位 6 から 15 ビットまでの 10 ビットのデータを選択的に抽出して予備レジスタ 49 へ供給する。

## 【0076】

さらに、予備レジスタ 49 はシンボルカウンタ 41 から供給されるカウンタ値が奇数のとき、格納しているデータを EFM レジスタ 50 へシフトする。すなわち、例えばカウンタ値が 3 となった場合には、図 7 に示されるように、予備レジスタ 49 は格納しているデータ R の下位 6 から 15 ビットまでの 10 ビットのデータを、矢印で示されるように EFM レジスタ 50 へシフトする。

## 【0077】

そして、シンボルカウンタ 41 のカウンタ値が 1 ずつインクリメントされることにより上記動作が繰り返される。これより、EFM レジスタ 50 は予備レジスタ 49 からデータがシフトされ、さらにデータ選択部 48 からデータ R の下位ビットが供給されることにより、該カウンタ値が偶数となるたびに変調された 14 ビットのデータ S<sub>b</sub> を合成することになる。

## 【0078】

そして、データ置換部 51 はシンボルカウンタ 41 から供給されるカウンタ値が偶数となったとき、EFM レジスタ 50 から供給される上記 14 ビットのデータ S<sub>b</sub> を、内蔵する EFM 復調テーブルに照らして復調データ S<sub>r</sub> に置換する。

## 【0079】

なお、このような方法で生成された復調データ  $S_r$  はメモリ I F 回路 15 を介してメモリ 17 へ格納されエラー訂正処理がなされると共に、サブコード読み出し回路 25 へ供給される。また、サブコード読み出し回路 25 へは上記データ  $S_b$  も供給される。

## 【0080】

次に、図 2 に示されたサブコード読み出し回路 25 について詳しく説明する。サブコード読み出し回路 25 は、EFM レジスタ 50 から供給されたデータ  $S_b$  の中から、サブコードとして記録される同期信号（以下、「サブコード同期信号」とも呼ぶ）を検出する。

## 【0081】

なお、CD の規格では、図 6 に示されたサブコードの中においてサブコード同期信号は EFM 変調されることなく 98 フレーム毎に記録され、この EFM 変調されていないサブコード同期信号がデコード対象とされる。

## 【0082】

サブコード読み出し回路 25 は、EFM レジスタ 50 から供給されるデータ  $S_b$  が第 1 同期パターン (10000000000100) 又は第 2 同期パターン (01001000000000) のいずれかである場合には、サブコード同期信号が検出できたものと判断してスコア信号  $S_C$  を生成し制御部 13 へ供給する。

## 【0083】

また、サブコード読み出し回路 25 は、EFM 復調回路 23 により得られた復調データ  $S_r$  の一部をなすサブコードの中からサブ Q コード（サブコードビット）と呼ばれる情報を順次抜き出し、内蔵する CRC (Cyclic Redundancy Check) 回路へ 96 ビット分のサブ Q コード  $S_q$  を一括して入力する。そして、該 CRC 回路において該サブ Q コードが正確なデータであると判断された場合には、サブコード読み出し回路 25 は信号  $S_{OK}$  を制御部 13 へ供給する。

## 【0084】

また、サブコード読み出し回路 25 は上記サブ Q コード  $S_q$  を制御部 13 へ供

給するが、該サブQコードは例えば96ビットで1単位とされるため、一例として8ビットの記憶領域を10段有するシフトレジスタにより該サブQコードを保持する。そして、この場合には制御部13が該シフトレジスタに10回アクセスすることにより、該シフトレジスタに保持されたサブQコードS<sub>q</sub>がすべて読み出される。

#### 【0085】

ここで、制御部13はEFM復調部11からスコア信号S<sub>C</sub>及び信号S<sub>OK</sub>を受領したときに上記アクセスを実行することにより、正確なサブQコードS<sub>q</sub>を受領してディスク1から絶対時間情報を精度よく得ることができる。

#### 【0086】

なお、サブQコードS<sub>q</sub>はメモリIF回路15を介してメモリ17へ格納され、EFM復調回路23により生成された復調データS<sub>r</sub>を特定するデータとしても利用される。

#### 【0087】

以上より、本発明の実施の形態に係るディスク再生装置及びディスク再生方法によれば、EFMレジスタ50において生成された14ビットのデータS<sub>b</sub>がデータ置換部51により一括して復調データS<sub>r</sub>に置換され、ディスク1に記録されたデータを従来より低い動作周波数、例えば従来の1/8の動作周波数でEFM復調することができるため、ディスク再生装置を簡易な構成で回路規模の小さなものとすることができる。

#### 【0088】

また、上記のようにEFM復調に要する動作周波数を低減することができるため、ディスク再生装置の消費電力を低減することができると共に、EFM復調部11以外の回路に生じるノイズを低減して再生精度を高めることができる。

#### 【0089】

さらに、EFM復調において高い動作周波数を保証することが必要とされないため、高い周波数を持ったクロック信号による動作試験が不要となり、テストによる動作試験も容易に実現することができる。

#### 【0090】

**【発明の効果】**

本発明に係るディスク再生装置によれば、復調において必要とされる動作周波数を低減することができるため、再生精度が高く試験が容易なディスク再生装置を提供することができる。

**【0091】**

また、本発明に係るディスク再生装置及びディスク再生方法によれば、復調において必要とされる動作周波数を低減することができるため、再生動作を実行する際の消費電力を低減することができる。

**【図面の簡単な説明】****【図1】**

本発明の実施の形態に係るディスク再生装置の構成を示すブロック図である。

**【図2】**

図1に示されたEFM復調部の構成を示すブロック図である。

**【図3】**

図2に示された同期検出回路の構成を示すブロック図である。

**【図4】**

図3に示された同期検出回路の動作を説明する状態遷移図である。

**【図5】**

図2に示されたEFM復調回路の構成を示すブロック図である。

**【図6】**

図1に示されたディスクに記録されたフレームデータの構成を示す図である。

**【図7】**

図4に示されたEFM復調回路の動作を説明する図である。

**【符号の説明】**

1 ディスク、3 ディスク再生装置、5 アシンメトリ補正部、7 PLL回路、9 シリ・パラ変換回路、11 EFM (Eight-Fourteen Modulation) 復調部、13 制御部、15 メモリIF回路、17 メモリ、21 同期検出回路、23 EFM復調回路、25 サブコード読み出し回路、27 同期パターン検出部、29 同期パターン予測部、30 同期判断部、31 同期カウンタ

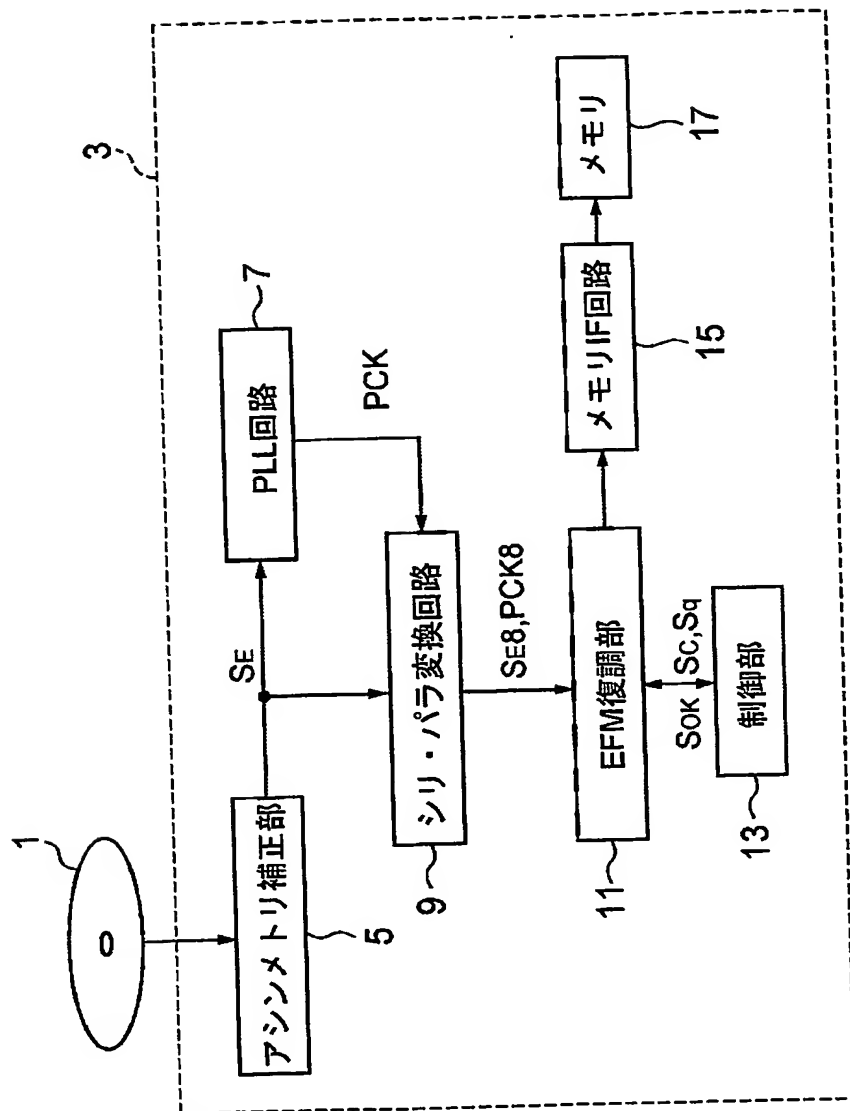
、32, 34 AND回路、33 比較部、35 同期保護ウィンドウ部、40  
レジスタ部、41 シンボルカウンタ、43 初期値設定部、45 第2レジ  
スタ、46 第1レジスタ、47 データ合成部、48 データ選択部、49  
予備レジスタ、50 EFMレジスタ、51 データ置換部。



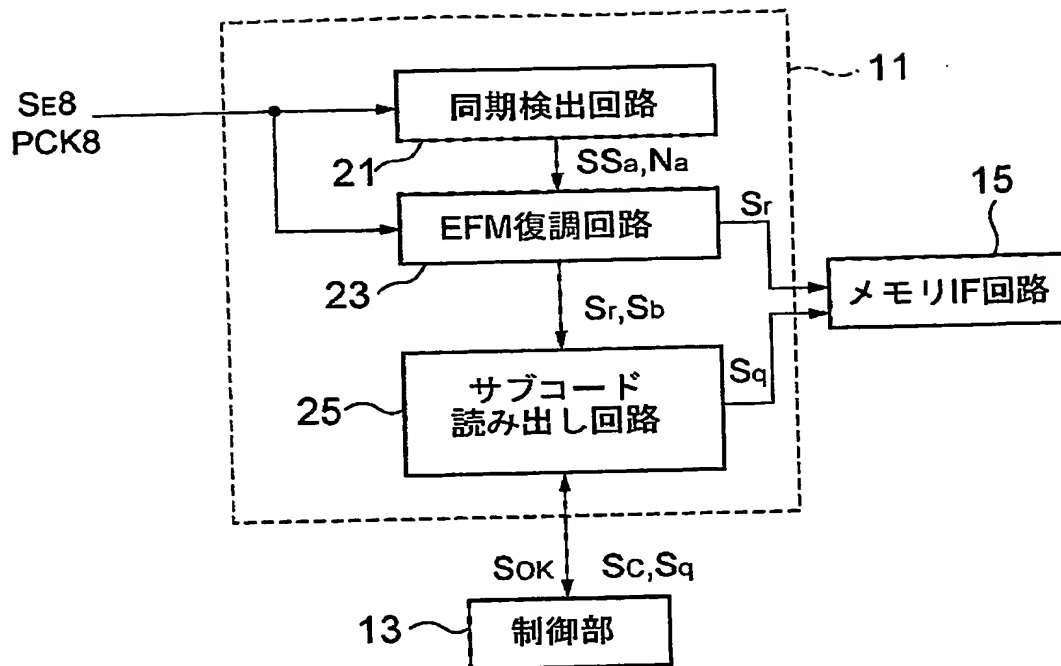
【書類名】

図面

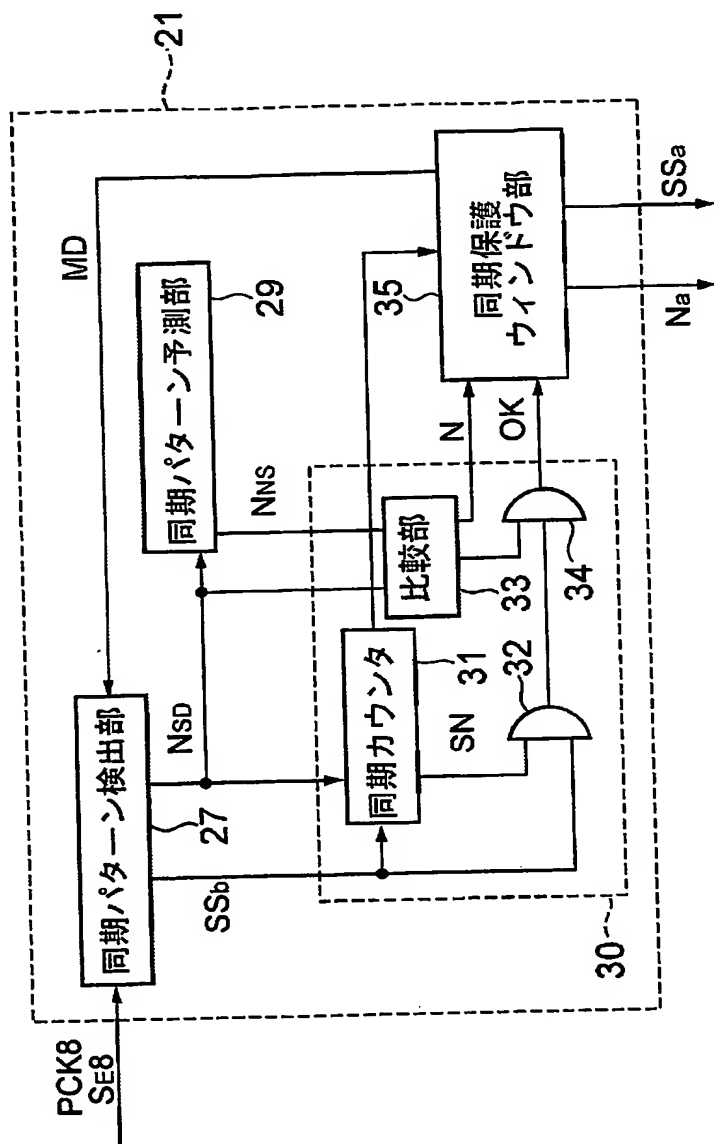
【図1】



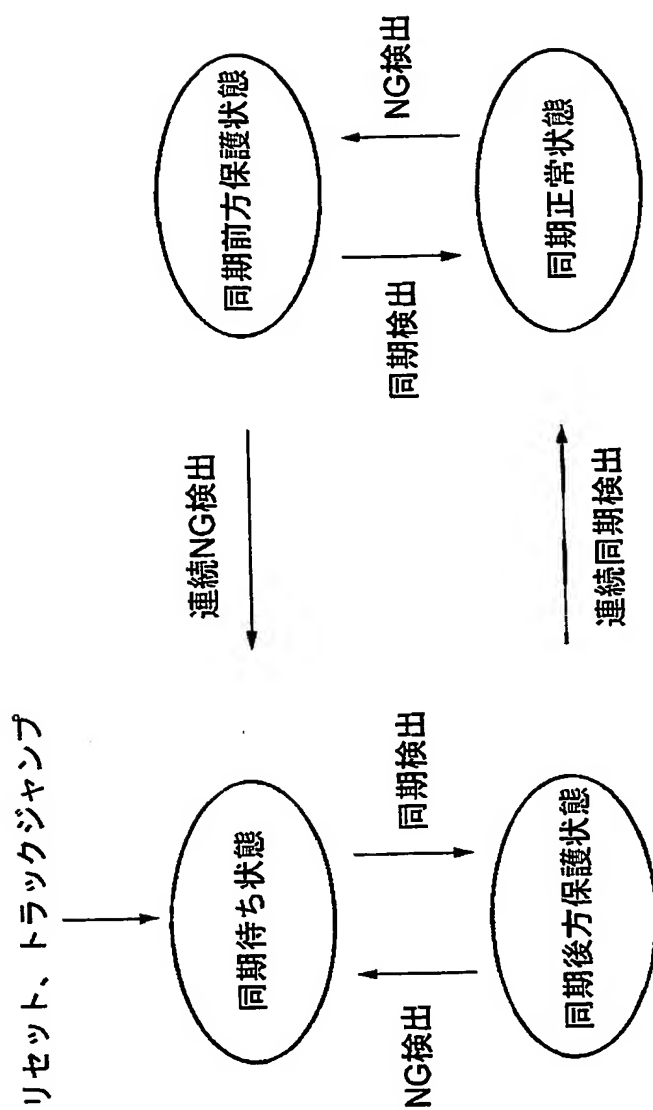
【図 2】



【図3】



【図 4】





【図6】

DSV	3
第32データ	14
DSV	3
第31データ	14
DSV	3
-----	
DSV	3
第3データ	14
DSV	3
第2データ	14
DSV	3
第1データ	14
DSV	3
オフコード	14
DSV	3
フレーム同期信号	24

【図7】

カウンタ値	EFMレジスタ[14:1]	予備レジスタ[14:1]
0	R[1:0] "	- R[15:5]
1	- R[15:5]	-
2	R[2:0] "	- R[15:6]
3	- R[15:6]	-
4	R[3:0] "	- R[15:7]
5	- R[15:7]	-
6	R[4:0] "	- R[15:8]
7	- R[15:8]	-
8	R[5:0] "	- R[15:9]
9	- R[15:9]	-
10	R[6:0] "	- R[15:10]
11	- R[15:10]	-
12	R[7:0] "	- R[15:11]
13	- R[15:11]	-
14	R[8:0] "	- R[15:12]
15	- R[15:12]	-
16	R[9:0] "	- R[15:13]
17	- R[15:13]	-
18	R[10:0] "	- R[15:14]
19	- R[15:14]	-
20	R[11:0] "	- R[15]
21	- R[15]	-
22	R[12:0] "	-
23	-	-
24	R[13:0]	-
25	-	-
26	R[14:1]	-
27	-	-
28	R[15:2]	-
29	-	-
30	-	- R[15:3]
31	- R[15:3]	-
32	R[0] -	- R[15:4]
33	- R[15:4]	-

【書類名】 要約書

【要約】

【課題】 復調回路の動作周波数が低減されたディスク再生装置及びディスク再生方法を提供する。

【解決手段】 ディスクに記録されたデータを読み出して再生データを生成するディスク再生装置であって、データに含まれる所定の同期パターンを検出すると共に検出タイミングを識別する同期検出回路 21 と、識別された検出タイミングに応じて、ディスクから読み出されたデータの中から順次選択的に一部のデータを抽出し、抽出された複数のデータを合成して対応する復調データに置換する EFM 復調回路 23 とを備えたことを特徴とするディスク再生装置を提供する。

【選択図】 図 2



特願 2002-229158

出願人履歴情報

識別番号

[000002185]

1. 変更新年月日

1990年 8月30日

[変更理由]

新規登録

住所

東京都品川区北品川6丁目7番35号

氏名

ソニー株式会社